

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

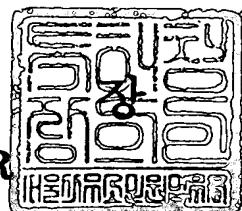
출원번호 : 특허출원 2000년 제 2901 호
Application Number

출원년월일 : 2000년 01월 21일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2000 년 06 월 21 일

특허청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.01.21
【발명의 명칭】	무경계 콘택 구조체 및 그 형성방법
【발명의 영문명칭】	Border less contact structure and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	하회성
【성명의 영문표기】	HA,HOE SEONG
【주민등록번호】	691111-1047711
【우편번호】	150-044
【주소】	서울특별시 영등포구 당산동4가 88번지 현대아파트 104동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	송준의
【성명의 영문표기】	SONG,JUN EUI
【주민등록번호】	640509-1024124
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 968번지 신명아파트 633동 1701호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】			558,000 원
【첨부서류】			1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

무경계 콘택 구조체(borderless contact structure) 및 그 형성방법이 제공된다.

반도체기판의 소정영역에 반도체기판의 표면보다 높은 돌출부를 갖는 소자분리막이 형성되고, 소자분리막들 사이의 활성영역에 불순물 영역이 형성된다. 돌출부의 측벽에는 식각저지 스페이서(etch stop spacer)가 형성되고, 불순물 영역, 소자분리막 및 식각저지 스페이서 상에 식각저지막 및 충간절연막이 차례로 적층된다. 충간절연막 및 식각저지막을 관통하는 콘택홀이 형성되고, 콘택홀은 불순물 영역 및 불순물 영역과 인접하는 식각저지 스페이서을 노출시킨다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

무경계 콘택 구조체 및 그 형성방법{Borderless contact structure and method of forming the same}

【도면의 간단한 설명】

도 1은 본 발명에 따른 무경계 콘택 구조체를 설명하기 위한 단면도이다.

도 2 내지 도 7은 본 발명에 따른 무경계 콘택 구조체의 형성방법을 설명하기 위한 단면도들이다.

도 8a는 본 발명에 따른 무경계 콘택 구조체의 형성방법에 의해 제조된 여러가지의 콘택 구조체들의 콘택저항 및 콘택누설전류를 보여주는 그래프이다.

도 8b는 도 12a의 오버랩 거리를 구체적으로 설명하기 위한 평면도이다.

도 9는 본 발명 및 종래기술에 따른 N⁺ 콘택 구조체들의 콘택누설전류 특성들을 보여주는 그래프이다.

도 10은 본 발명 및 종래기술에 따른 P⁺ 콘택 구조체들의 콘택누설전류 특성들을 보여주는 그래프이다.

도 11은 본 발명 및 종래기술에 따른 콘택 구조체들이 적용된 8 메가비트 SRAM들의 1 메가비트당 대기전류 특성을 보여주는 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체소자의 콘택 구조체 및 그 제조방법에 관한 것으로, 특히 무경계 콘택 구조체 및 그 형성방법에 관한 것이다.

<9> 반도체소자의 집적도가 증가함에 따라 콘택홀의 크기가 점점 작아지고 있다. 이에 따라, 콘택홀을 통하여 서로 전기적으로 연결되는 도전막들 사이의 콘택저항이 증가되어 반도체소자의 전기적인 특성을 저하시킨다.

<10> 최근에, 좁은 활성영역 및 이와 인접한 소자분리막의 일 부분을 모두 노출시키는 무경계 콘택홀을 형성하는 기술이 제안된 바 있다. 그러나, 종래의 무경계 콘택홀을 형성하는 기술에 따르면, 소자분리막이 리세스되어 콘택 누설전류 특성이 저하되는 문제점을 보인다.

<11> 미국특허 제5,677,321호는 소자분리막이 리세스될지라도 콘택 누설전류 특성을 개선시킬 수 있는 무경계 콘택홀을 형성하는 방법을 개시한다.

<12> 상기 미국특허 제5,677,321호에 따르면, 트렌치 영역 내의 소자분리막과 반도체기판 사이에 알루미늄 질화막으로 이루어진 라이너가 개재된다. 따라서, 총간절연막을 식각하여 활성영역 및 소자분리 영역을 모두 노출시키는 무경계 콘택홀을 형성하는 동안 소자분리막이 리세스될지라도, 상기 활성영역에 형성된 불순물 영역의 측벽은 상기 라이너에 의해 덮여진다. 그러나, 반도체기판의 소정영역을 식각하여 트렌치 영역을 형성한 직후에 상기 트렌치 영역의 측벽 및 바닥에 열산화막을 형성하는 것이 바람직하다. 이는

, 트렌치 영역을 형성하는 동안 반도체기판에 가해진 식각 손상을 치유하여야 하기 때문이다. 따라서, 상기 미국특허 제5,677,321호에 따르면, 무경계 콘택홀을 형성하는 동안 상기 라이너 및 불순물 영역 사이에 개재된 열산화막이 식각되어 불순물 영역의 측벽이 노출될 가능성이 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 콘택 누설전류 특성을 개선시키기에 적합한 무경계 콘택 구조체를 제공하는 데 있다.

<14> 본 발명의 다른 목적은 반도체 기억소자의 대기전류 특성을 개선시키기에 적합한 무경계 콘택 구조체를 제공하는 데 있다.

<15> 본 발명의 또 다른 목적은 콘택 누설전류 특성 및 반도체 기억소자의 대기전류 특성을 개선시킬 수 있는 무경계 콘택 구조체의 형성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 목적 및 다른 목적을 달성하기 위하여 본 발명은 반도체기판의 소정영역에 형성되고 상기 반도체기판의 표면보다 높은 돌출부를 갖는 소자분리막과, 상기 돌출부의 측벽에 형성된 식각저지 스페이서(etch stop spacer)와, 상기 소자분리막들 사이의 활성 영역에 형성된 불순물 영역과, 상기 불순물 영역, 소자분리막 및 식각저지 스페이서 상에 차례로 적층된 식각저지막 및 충간절연막과, 상기 충간절연막 및 식각저지막을 관통하는 콘택홀을 포함한다. 여기서, 상기 콘택홀은 상기 불순물 영역 및 이와 인접한 식각저지 스페이서를 노출시킨다.

<17> 상기 소자분리막은 트렌치 소자분리막에 해당한다.

<18> 바람직하게는, 상기 소자분리막 및 상기 반도체기판 사이에 열산화막이 개재된다.

<19> 또한, 상기 열산화막 및 상기 소자분리막 사이에 실리콘 질화막으로 이루어진 라이너를 더 포함할 수 있다.

<20> 상기 또 다른 목적을 달성하기 위하여 본 발명은 무경계 콘택 구조체의 형성방법을 제공한다. 이 방법은 반도체기판의 소정영역에 상기 반도체기판의 표면보다 높은 돌출부를 갖는 소자분리막을 형성하는 단계와, 상기 돌출부의 측벽에 식각저지 스페이서를 형성하는 단계와, 상기 식각저지 스페이서가 형성된 결과물 전면에 식각저지막 및 충간 절연막을 차례로 형성하는 단계와, 상기 충간절연막 및 상기 식각저지막을 연속적으로 패터닝하여 상기 식각저지 스페이서 및 이와 인접한 활성영역을 노출시키는 콘택홀을 형성하는 단계를 포함한다.

<21> 상기 소자분리막은 트렌치 소자분리 방법으로 형성한다.

<22> 또한, 상기 식각저지 스페이서는 실리콘 질화막 또는 실리콘 옥시 나이트라이드막으로 형성하는 것이 바람직하다.

<23> 또한, 상기 식각저지막은 실리콘 질화막 또는 실리콘 옥시 나이트라이드막으로 형성하는 것이 바람직하다.

<24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

<25> 먼저, 도 1을 참조하여 본 발명에 따른 무경계 콘택 구조체를 설명하기로 한다.

<26> 도 1을 참조하면, 반도체기판(51)의 소정영역에 트렌치 소자분리막(61)이 위치한다. 상기 소자분리막(61)은 CVD 산화막으로 형성되고 상기 반도체기판(51)의 표면

보다 높은 돌출부를 갖는다. 상기 소자분리막(61)의 상부면 및 반도체기판의 표면 사이의 단차(S)는 적어도 300Å 이상인 것이 바람직하다. 상기 소자분리막(61) 및 반도체기판(51) 사이에는 열산화막(57)이 개재되는 것이 바람직하다. 이에 더하여, 상기 열산화막(57) 및 상기 소자분리막(61) 사이에는 실리콘 질화막으로 이루어진 라이너(59')가 개재되는 것이 바람직하다. 상기 돌출부의 측벽에는 식각저지 스페이서(69b)가 형성된다.

<27> 상기 소자분리막(61)과 인접한 반도체기판(51), 즉 활성영역에 불순물 영역(72)이 형성된다. 상기 불순물 영역(72)은 반도체기판(51)과 다른 도전형의 불순물로 도우평된 영역이다. 상기 불순물 영역(72), 식각저지 스페이서(69b) 및 소자분리막(61) 상에 식각저지막(73) 및 층간절연막(75)이 차례로 적층된다. 상기 층간절연막(75) 및 식각저지막(73)을 관통하는 콘택홀(77a)은 상기 불순물 영역(72) 및 이와 인접한 식각저지 스페이서(69b')를 노출시킨다. 여기서, 상기 콘택홀(77a)에 의해 노출되는 식각저지 스페이서(69b')는 도 1에 도시된 바와 같이 초기의 식각저지 스페이서(69b)보다 작아진 변형된 식각저지 스페이서일 수도 있다. 결과적으로, 상기 변형된 식각저지 스페이서(69b')는 상기 불순물 영역(72) 및 이와 인접한 소자분리막(61) 사이의 경계 부분을 덮는다. 따라서, 상기 콘택홀(77a)을 형성하는 동안 상기 불순물 영역(72)과 인접하는 소자분리막(61)의 가장자리 영역이 리세스되는 현상을 방지할 수 있다.

<28> 상기 콘택홀(77a) 내에 상기 불순물 영역(72) 및 상기 변형된 식각저지 스페이서(69b')과 접촉된 콘택플러그(79)가 위치한다. 상기 콘택플러그(79)를 덮는 배선(81)이 배치된다.

<29> 상술한 바와 같이, 본 발명에 따른 무경계 콘택 구조체는 소자분리막의 돌출부의

측벽에 식각저지 스페이서를 구비한다. 따라서, 불순물 영역 및 이와 인접하는 소자분리 영역을 모두 노출시키는 무경계 콘택홀을 형성하기 위한 식각공정을 실시하는 동안 불순물 영역과 인접하는 소자분리막이 리세스되는 현상을 방지할 수 있다.

<30> 다음에, 도 1에 보여진 본 발명에 따른 무경계 콘택 구조체를 형성하는 방법을 설명하기로 한다.

<31> 도 2를 참조하면, 반도체기판(51), 예컨대 실리콘기판 상에 패드산화막(53) 및 패드질화막(55)을 차례로 형성한다. 상기 패드산화막(53)은 반도체기판(51)과 패드질화막(55) 사이의 열팽창계수 차이를 완충시키는 역할을 한다. 상기 패드산화막(53)은 200Å 이하의 얇은 열산화막으로 형성하는 것이 바람직하고, 상기 패드질화막(55)은 1500Å 이상의 두꺼운 실리콘질화막으로 형성하는 것이 바람직하다. 상기 패드질화막(55) 및 상기 패드산화막(53)을 연속적으로 패터닝하여 상기 반도체기판(51)의 소정영역을 노출시킨다. 상기 노출된 반도체기판(51)을 식각하여 트렌치 영역(T)을 형성한다.

<32> 상기 트렌치 영역(T)이 형성된 결과물을 열산화시키어 상기 트렌치 영역(T)의 측벽 및 바닥에 100Å 이하의 얇은 열산화막(57)을 형성한다. 상기 열산화막(57)은 트렌치 영역(T)을 형성하기 위한 식각공정을 실시하는 동안 반도체기판(51)에 가해진 식각 손상을 치유하기 위하여 형성하는 것이다. 상기 열산화막(57)이 형성된 결과물 전면에 100Å 이하의 얇은 실리콘질화막(59)을 추가로 형성할 수도 있다. 상기 실리콘질화막(59)은 후속공정에서 트렌치 영역(T) 내에 형성되는 소자분리막 내의 불순물들이 반도체기판(51) 내부로 침투하는 현상을 방지하기 위하여 형성하는 것이다. 또한, 상기 실리콘질화막(59)은 후속 열공정을 실시하는 동안 트렌치 영역(T)의 측벽이 추가로 산화되는 현상을 억제시키는 역할을 한다.

<33> 도 3을 참조하면, 상기 트렌치 영역(T)이 형성된 결과물 전면에 상기 트렌치 영역(T)을 채우는 절연체막, 예컨대 CVD 산화막을 형성한다. 상기 패드질화막(55)이 노출될 때까지 상기 절연체막을 평탄화시키어 상기 트렌치 영역(T) 내에 절연체막 패턴을 형성 한다. 상기 노출된 패드질화막(55)을 인산(H_3PO_4 ; phosphoric acid)을 사용하여 제거한다. 이때, 상기 트렌치 영역(T)의 측벽 및 바닥 상에 상기 실리콘질화막(59)으로 이루어 진 라이너(59')가 잔존한다. 계속해서, 상기 패드산화막(53)을 산화막 식각용액(oxide etchant), 예컨대 불산(hydrofluoric acid; HF) 또는 완충 산화막 식각용액(buffered oxide etchant; BOE)을 사용하여 제거한다. 이때, 상기 절연체막 패턴 역시 식각된다. 이에 따라, 상기 트렌치 영역(T)을 채우는 소자분리막(61)이 완성된다.

<34> 상기 소자분리막(61)은 도 3에 도시된 바와 같이 반도체기판(51)의 주 표면보다 높은 상부면을 갖도록 형성되어야 한다. 다시 말해서, 상기 소자분리막(61)의 상부면 및 상기 반도체기판(51)의 주 표면 사이의 단차(S)는 적어도 300\AA 이상, 바람직하게는 500\AA 이어야 한다. 결과적으로, 상기 소자분리막(61)은 반도체기판(51)의 주 표면보다 높은 들출부를 구비하여야 한다.

<35> 도 4를 참조하면, 상기 소자분리막(61)과 인접한 반도체기판(51), 즉 활성영역 전면에 게이트 절연막(63), 도전막 및 캐핑막을 차례로 형성한다. 상기 캐핑막 및 도전막을 역속적으로 패터닝하여 상기 활성영역의 소정영역을 가로지르는 게이트 패턴(65)을 형성한다. 한편, 상기 캐핑막을 형성하는 공정은 생략할 수도 있다. 이때, 상기 게이트 패턴(65)은 도전막만으로 이루어진 게이트 전극에 해당한다. 상기 게이트 패턴(65) 및 상기 소자분리막(61)을 이온주입 마스크로 사용하여 상기 반도체기판(51)에 $1\times 10^{12}\text{ ion atoms/cm}^2$ 내지 $1\times 10^{14}\text{ ion atoms/cm}^2$ 의 낮은 도우즈로 불순물을 주입하여 엘디디 영역

(67)을 형성한다. 여기서, 상기 엘디디 영역(67)을 형성하기 위한 불순물은 반도체기판(51)과 다른 도전형의 불순물이다.

<36> 계속해서, 상기 엘디디 영역(67)이 형성된 결과물 전면에 스페이서용 절연막, 예컨대 실리콘질화막 또는 실리콘 옥시나이트라이드막을 형성한다. 상기 스페이서용 절연막은 1200Å 정도의 두께로 형성한다. 상기 스페이서용 절연막을 이방성 식각하여 상기 게이트 패턴(65)의 측벽 및 상기 소자분리막(61)의 돌출부의 측벽에 각각 게이트 스페이서(69a) 및 식각저지 스페이서(69b)를 형성한다.

<37> 도 5를 참조하면, 상기 게이트 스페이서(69a), 식각저지 스페이서(69b), 게이트 패턴(65) 및 소자분리막(61)을 이온주입 마스크로 사용하여 상기 반도체기판(51)에 1×10^{15} ion atoms/cm² 내지 5×10^{15} ion atoms/cm²의 높은 도우즈로 불순물을 주입하여 고농도 불순물 영역(71)을 형성한다. 상기 고농도 불순물 영역(71)을 형성하기 위한 불순물은 상기 엘디디 영역(67)과 동일한 도전형의 불순물이다. 이에 따라, 상기 게이트 스페이서(69a) 하부에 엘디디 영역(67)이 잔존한다. 상기 엘디디 영역(67) 및 고농도 불순물 영역(71)은 모스 트랜지스터의 소오스/드레인 영역이 되는 불순물 영역(72)을 구성한다.

<38> 상기 불순물 영역(72)이 형성된 결과물 전면에 식각저지막(73) 및 충간절연막(75)을 차례로 형성한다. 상기 충간절연막(75)은 실리콘산화막으로 형성한다. 또한, 상기 식각저지막(73)은 충간절연막(75)에 대하여 식각선택비를 갖는 절연체막, 예컨대 실리콘질화막 또는 실리콘 옥시나이트라이드막으로 형성하는 것이 바람직하다. 이때, 상기 식각저지막(73)은 300Å 내지 500Å의 얇은 두께로 형성한다. 다음에, 상기 충간절연막(75)을 패터닝하여 상기 불순물 영역(72) 및 이와 인접한 식각저지 스페이서(69b) 상의 식각저지막(73)을 노출시키는 홀(77)을 형성한다.

<39> 도 6을 참조하면, 상기 홀(77)에 의해 노출된 식각저지막(73)을 식각하여 상기 불순물 영역(72) 및 이와 인접한 식각저지 스페이서(69b)를 노출시키는 콘택홀(77a), 즉 무경계 콘택홀을 형성한다. 이때, 상기 반도체기판(51)의 전체에 걸쳐서 형성된 모든 불순물 영역들(72)을 완전히 노출시키기 위하여 상기 식각저지막(73)을 과도식각한다. 이에 따라, 상기 불순물 영역(72)이 일정깊이(D)만큼 식각될 뿐만 아니라, 상기 노출된 식각저지 스페이서(69b) 역시 추가로 식각되어 콘택홀(77a)의 바닥에 변형된 식각저지 스페이서(69b')가 잔존한다. 결과적으로, 콘택홀(77a), 특히 무경계 콘택홀을 형성하는 동안 상기 식각저지 스페이서(69b)에 기인하여 상기 불순물 영역(72)과 인접하는 소자분리막(61)의 가장자리가 리세스되는 현상이 억제된다.

<40> 한편, 도시하지는 않았지만, 상기 콘택홀(77a)이 소자분리막(61)의 중심부분까지 노출시키는 경우에 상기 소자분리막(61)의 중심부분은 리세스된다. 그러나, 상기 소자분리막(61)의 가장자리는 상기 식각저지 스페이서(69b)에 기인하여 여전히 리세스되지 않는다. 이에 따라, 상기 콘택홀(77a) 및 소자분리 영역 사이의 오버랩 거리(overlap distance)에 관계 없이 상기 불순물 영역(72)의 측벽은 항상 열산화막(57) 또는 소자분리막(61)에 의해 덮여진다.

<41> 도 7을 참조하면, 상기 콘택홀(77a) 내에 텅스텐과 같은 도전물질로 이루어진 콘택플러그(79)를 형성한다. 상기 콘택 플러그(79)가 형성된 결과를 전면에 금속막을 형성한다. 상기 금속막을 패터닝하여 콘택플러그(79)와 접촉하는 배선(81)을 형성한다.

<42> 도 8a는 상술한 본 발명의 실시예에 따라 제조된 여러가지의 콘택 구조체들에 대한 전기적인 특성들을 보여주는 그래프이고, 도 8b는 도 8a의 전기적인 특성들을 보이는 여러가지의 콘택 구조체들의 오버랩 거리(OD)에 대한 정의를 보여주는 평면도이다. 도

8a에 있어서, 가로축은 콘택홀 및 활성영역 사이의 오버랩 거리(OD)를 나타내고, 좌측 세로축은 콘택저항(Rc)을 나타내고, 우측 세로축은 콘택 누설전류(IL)를 나타낸다. 도 8b에 있어서, 참조번호 61a는 활성영역을 나타내고, 참조번호 77a는 상기 활성영역을 노출시키는 콘택홀을 나타낸다.

<43> 상기 활성영역(61a)을 한정하는 소자분리막은 트렌치 소자분리 공정을 사용하여 형성하였고, 소자분리막의 상부면 및 활성영역의 표면 사이의 단차(S)는 500Å 이었다. 또한, 각 콘택 구조체들의 콘택홀 크기는 $0.18\mu\text{m} \times 0.18\mu\text{m}$ 이었다. 또한, N⁺ 콘택 구조체의 불순물 영역, 즉 N⁺ 불순물 영역은 비소(As) 이온을 40KeV의 에너지와 3×10^{15} ion atoms/cm²의 도우즈로 주입하여 형성하였고, P⁺ 콘택 구조체의 불순물 영역, 즉 P⁺ 불순물 영역은 불화붕소(BF₂) 이온을 25KeV의 에너지와 2×10^{15} ion atoms/cm²의 도우즈로 주입하여 형성하였다.

<44> 도 8a를 다시 참조하면, 본 발명에 따라 제조된 콘택 구조체들은 모두 오버랩 거리(OD)에 관계 없이 안정된 콘택 누설전류를 보였다. 좀 더 구체적으로, N⁺ 콘택 구조체의 누설전류(IL)는 오버랩 거리(OD)가 '0.04μm'으로부터 '0μm'까지 변할지라도 약 0.6×10^{-13} (Ampere)의 일정한 값을 보였다. 또한, P⁺ 콘택 구조체의 누설전류(IL)는 오버랩 거리(OD)가 '0.04μm'으로부터 '0μm' 까지 변할지라도 약 0.2×10^{-13} (Ampere)의 일정한 값을 보였다. 그러나, N⁺ 콘택 구조체의 콘택저항(Rc)은 오버랩 거리(OD)가 '0.04μm'으로부터 '0μm'까지 변함에 따라서 200(Ω)으로부터 260(Ω)까지 증가하는 경향을 보였으며, P⁺ 콘택 구조체의 콘택저항(Rc)은 오버랩 거리(OD)가 '0.04μm'으로부터 '0μm'까지 변함에 따라서 450(Ω)으로부터 650(Ω)까지 증가하는

경향을 보였다. 이는, 오버랩 거리가 감소함에 따라 콘택홀에 의해 노출되는 불순물 영역의 면적이 감소하기 때문이다. 상기 누설전류 값들은 접합면에 2.6볼트의 역 바이어스를 가한 상태에서 측정되었다. 또한, 상기 누설전류 값들은 85°C의 온도에서 측정되었다.

<45> 도 9 및 도 10은 각각 N⁺ 콘택 구조체의 누설전류 특성 및 P⁺ 콘택 구조체의 누설전류 특성을 보여주는 그래프들이다. 여기서, 가로축들은 N⁺ 접합 및 P⁺ 접합에 인가되는 역바이어스 전압(V_J)을 나타내고, 세로축들은 누설전류(I_L)를 나타낸다. 또한, 도 9 및 도 10에서, 곡선 ① 및 곡선 ③은 종래의 콘택 구조체들에 대한 누설전류 특성을 나타내고, 곡선 ②는 본 발명에 따른 콘택 구조체의 누설전류 특성을 나타낸다. 좀 더 구체적으로, 곡선 ①은 0.06 μ m의 오버랩 거리(OD)를 갖는 종래의 콘택 구조체에 대한 누설전류 특성을 나타내고, 곡선 ③은 0 μ m의 오버랩 거리(OD)를 갖는 종래의 무경계 콘택 구조체에 대한 누설전류 특성을 나타낸다. 이에 반하여, 곡선 ②는 0 μ m의 오버랩 거리(OD)를 갖는 본 발명에 따른 무경계 콘택 구조체의 누설전류 특성을 나타낸다. 여기서, 종래의 무경계 콘택 구조체는 본 발명에 따른 무경계 콘택 구조체의 식각저지막을 포함하지 않는다.

<46> 도 9 및 도 10을 참조하면, 본 발명에 따른 무경계 콘택 구조체는 0.06 μ m의 오버랩 거리를 갖는 종래의 콘택 구조체와 동일한 안정한 누설전류 특성을 보였다. 이에 반하여, 종래의 무경계 콘택 구조체의 누설전류 특성은 본 발명에 따른 무경계 콘택 구조체에 비하여 높은 누설전류를 보였다. 여기서, 상기 누설전류는 도 8a에서 설명한 바와 같이 85°C에서 측정되었다.

<47> 도 11은 8 메가비트 SRAM의 대기전류(I_{sb})를 측정한 결과를 보여주는 그래프이다. 여기서, 상기 8 메가비트 SRAM은 완전 씨모스 셀(full CMOS cell)을 채택하였다. 도 11

에서 가로축은 대기전류(I_{sb})를 나타내고, 세로축은 대기전류(I_{sb})의 축적 분포율 (Cumulative distribution)을 나타낸다. 상기 대기전류(I_{sb})는 1 메가비트의 에스램 셀들을 통하여 흐르는 대기전류를 나타낸다. 상기 대기전류는 85°C의 온도에서 측정되었다. 곡선 ①은 $0.06\mu\text{m}$ 의 오버랩 거리(OD)를 갖는 종래의 콘택 구조체가 에스램 셀의 노드 콘택에 적용된 경우에 대한 대기전류 특성을 보여주고, 곡선 ③은 $0\mu\text{m}$ 의 오버랩 거리를 갖는 종래의 무경계 콘택 구조체가 에스램 셀의 노드 콘택에 적용된 경우에 대한 대기전류 특성을 보여준다. 또한, 곡선 ②는 $0\mu\text{m}$ 의 오버랩 거리를 갖는 본 발명의 무경계 콘택 구조체가 에스램 셀의 노드 콘택에 적용된 경우에 대한 대기전류 특성을 보여준다.

<48> 도 11을 참조하면, 본 발명에 따른 무경계 콘택 구조체가 적용된 8 메가비트 에스램의 1 메가비트당 대기전류는 $0.06\mu\text{m}$ 의 오버랩 거리를 갖는 종래의 콘택 구조체가 적용된 8 메가비트 에스램의 1 메가비트당 대기전류와 동일한 안정된 값($0.3\mu\text{A}$ 내지 $0.7\mu\text{A}$)를 보였다. 이에 반하여, $0\mu\text{m}$ 의 오버랩을 갖는 종래의 무경계 콘택 구조체가 적용된 8 메가비트 에스램의 1 메가비트당 대기전류는 $0.7\mu\text{A}$ 내지 $3.5\mu\text{A}$ 의 값을 보였다.

【발명의 효과】

<49> 상술한 바와 같이 본 발명에 따르면, 종래의 무경계 콘택 구조체에 비하여 콘택 누설전류 특성을 현저히 개선시킬 수 있다. 이에 따라, 본 발명에 따른 무경계 콘택 구조체를 에스램 셀의 노드 콘택에 적용하는 경우에, 에스램의 집적도를 증가시킬 수 있음은 물론, 에스램의 대기전류 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판의 소정영역에 형성되고, 상기 반도체기판의 표면보다 높은 돌출부를 갖는 소자분리막;

상기 소자분리막들 사이의 활성영역에 형성된 불순물 영역;

상기 돌출부의 측벽에 형성된 식각저지 스페이서(etch stop spacer);

상기 불순물 영역, 상기 소자분리막 및 상기 식각저지 스페이서 상에 차례로 적층된 식각저지막 및 충간절연막; 및

상기 충간절연막 및 상기 식각저지막을 관통하는 콘택홀을 포함하되, 상기 콘택홀은 상기 불순물 영역 및 상기 불순물 영역과 인접하는 상기 식각저지 스페이서를 노출시키는 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 2】

제 1 항에 있어서,

상기 소자분리막은 트렌치 소자분리막인 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 3】

제 2 항에 있어서,

상기 트렌치 소자분리막 및 상기 반도체기판 사이에 개재된 열산화막을 더 포함하는 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 4】

제 3 항에 있어서,

상기 트렌치 소자분리막 및 상기 열산화막 사이에 개재된 실리콘 질화막 라이너를 더 포함하는 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 5】

제 1 항에 있어서,

상기 식각저지 스페이서는 실리콘 질화막 또는 실리콘 옥시나이트라이드막인 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 6】

제 1 항에 있어서,

상기 식각저지막은 실리콘 질화막 또는 실리콘 옥시나이트라이드막인 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 7】

제 1 항에 있어서,

상기 콘택홀을 채우는 배선을 더 포함하는 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 8】

제 1 항에 있어서,

상기 콘택홀을 채우는 콘택 플리그; 및

상기 콘택 플러그를 덮는 배선을 더 포함하는 것을 특징으로 하는 무경계 콘택 구조체.

【청구항 9】

반도체기판의 소정영역을 선택적으로 식각하여 활성영역을 한정하는 트렌치 영역을 형성하는 단계;

상기 트렌치 영역 내에 상기 반도체기판의 표면보다 높은 돌출부를 갖는 소자분리 막을 형성하는 단계;

상기 돌출부의 측벽에 식각저지 스페이서를 형성하는 단계;

상기 활성영역에 불순물 영역을 형성하는 단계;

상기 불순물 영역이 형성된 반도체기판 전면에 식각저지막 및 충간절연막을 차례로 형성하는 단계; 및

상기 충간절연막 및 상기 식각저지막을 연속적으로 패터닝하여 상기 불순물 영역 및 상기 불순물 영역과 인접하는 식각저지 스페이서를 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 무경계 콘택 구조체 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 식각저지 스페이서를 형성하는 단계는

상기 활성영역의 소정영역 상에 절연된 게이트 패턴을 형성하는 단계;

상기 게이트 패턴의 양 옆의 활성영역에 엘디디 영역을 형성하는 단계;

상기 엘디디 영역이 형성된 결과물 전면에 상기 충간절연막에 대하여 식각 선택비를 갖는 스페이서 절연막을 형성하는 단계; 및

상기 스페이서 절연막을 이방성 식각하여 상기 게이트 패턴의 측벽 및 상기 소자분리막의 돌출부의 측벽에 각각 게이트 스페이서 및 식각저지 스페이서를 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 무경계 콘택 구조체 형성방법.

【청구항 11】

제 9 항에 있어서,

상기 식각저지 스페이서는 실리콘 질화막 또는 실리콘 옥시나이트라이드막으로 형성하는 것을 특징으로 하는 무경계 콘택 구조체 형성방법.

【청구항 12】

제 9 항에 있어서,

상기 식각저지막은 실리콘 질화막 또는 실리콘 옥시나이트막으로 형성하는 것을 특징으로 하는 무경계 콘택 구조체 형성방법.

【청구항 13】

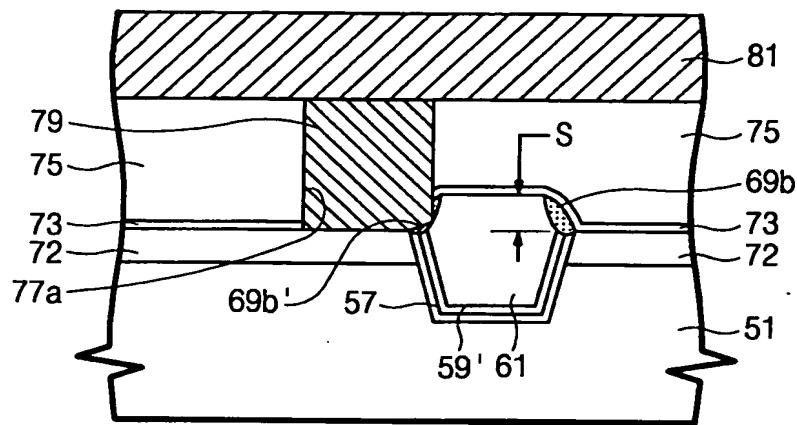
제 9 항에 있어서,

상기 콘택홀 내에 콘택 플러그를 형성하는 단계; 및

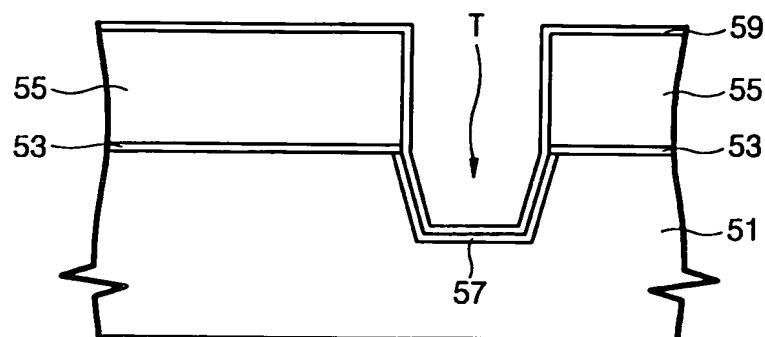
상기 콘택 플러그를 덮는 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 무경계 콘택 구조체 형성방법.

【도면】

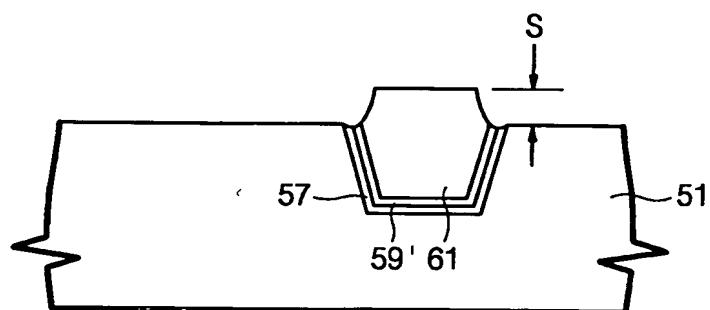
【도 1】



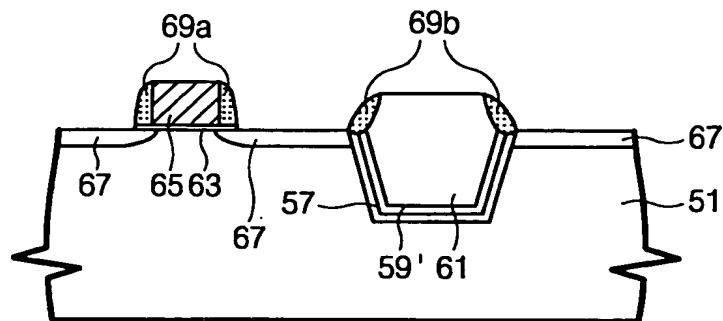
【도 2】



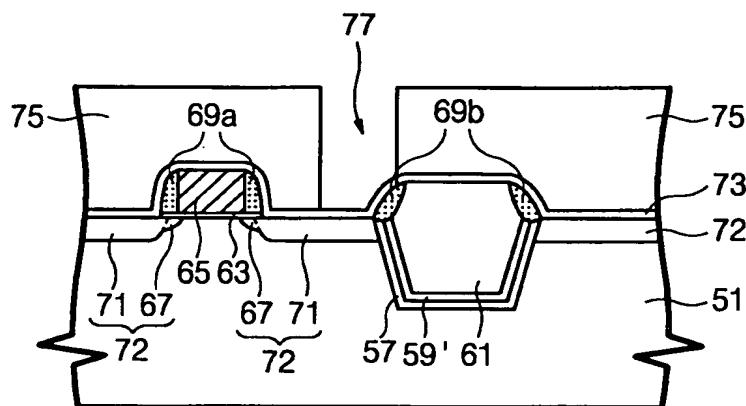
【도 3】



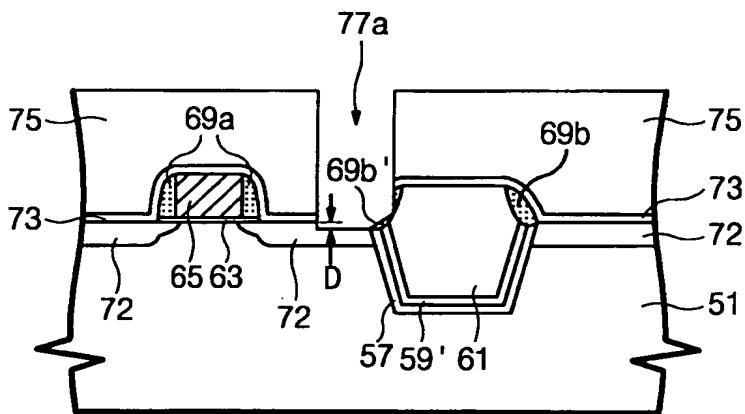
【도 4】



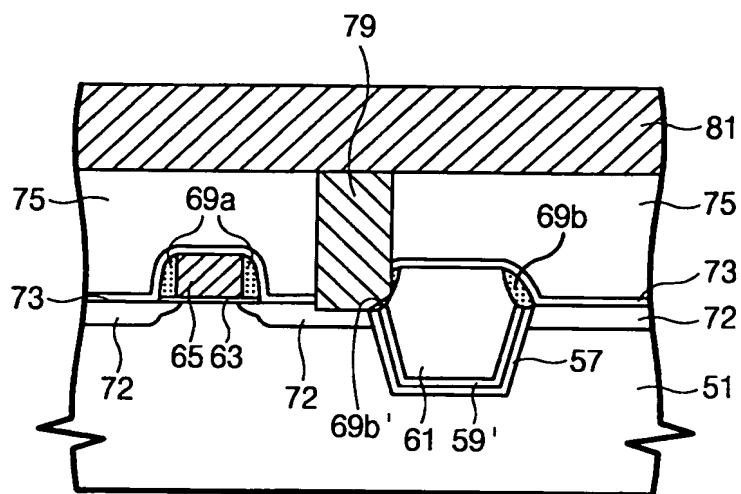
【도 5】



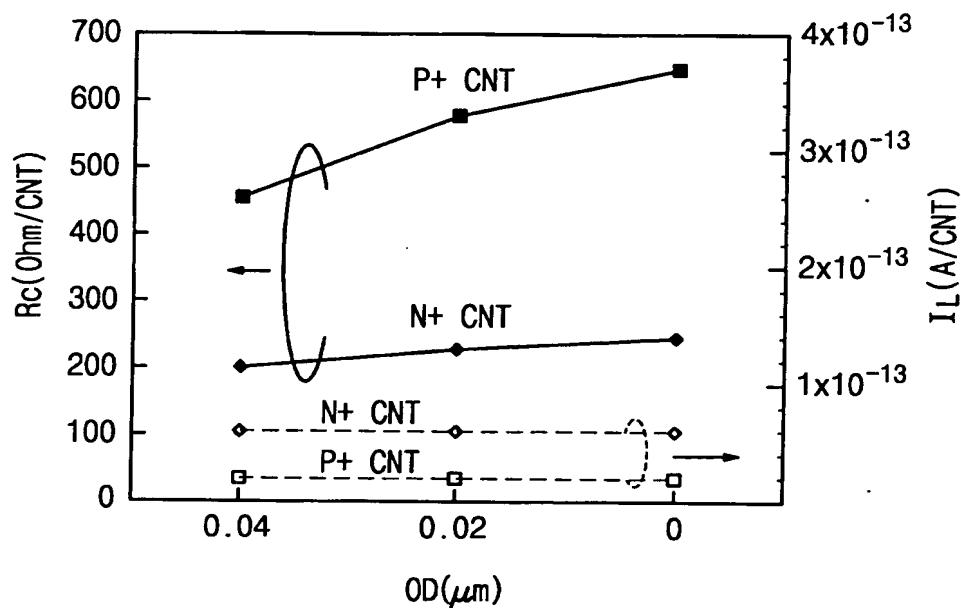
【도 6】



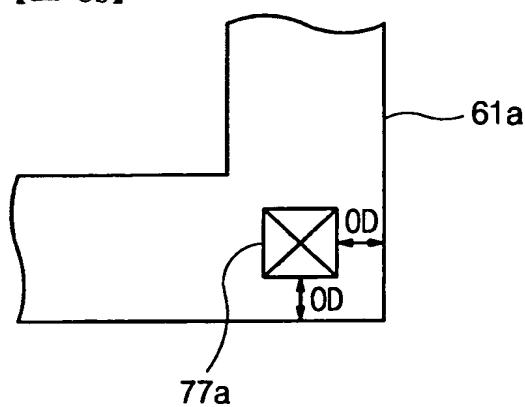
【도 7】



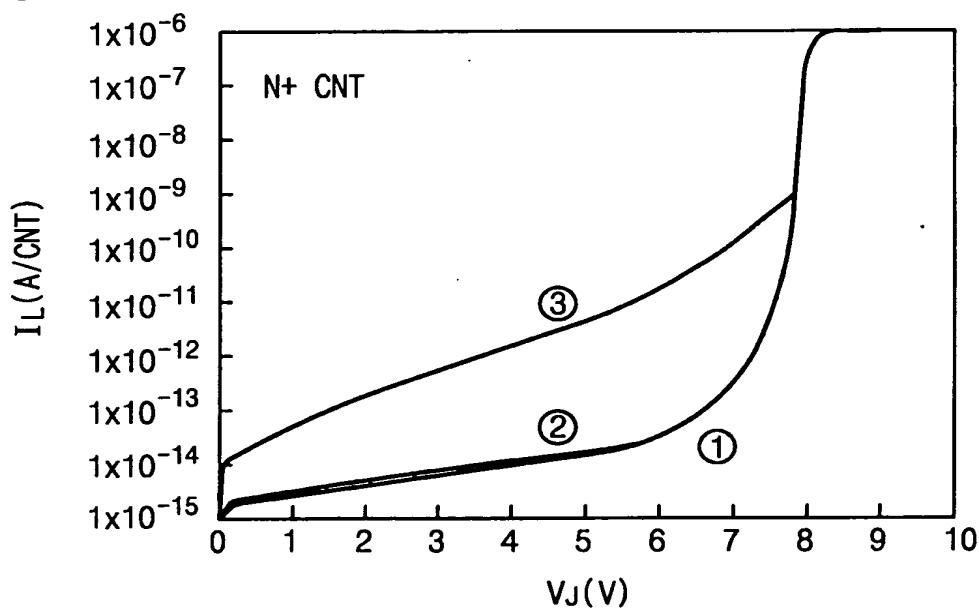
【도 8a】



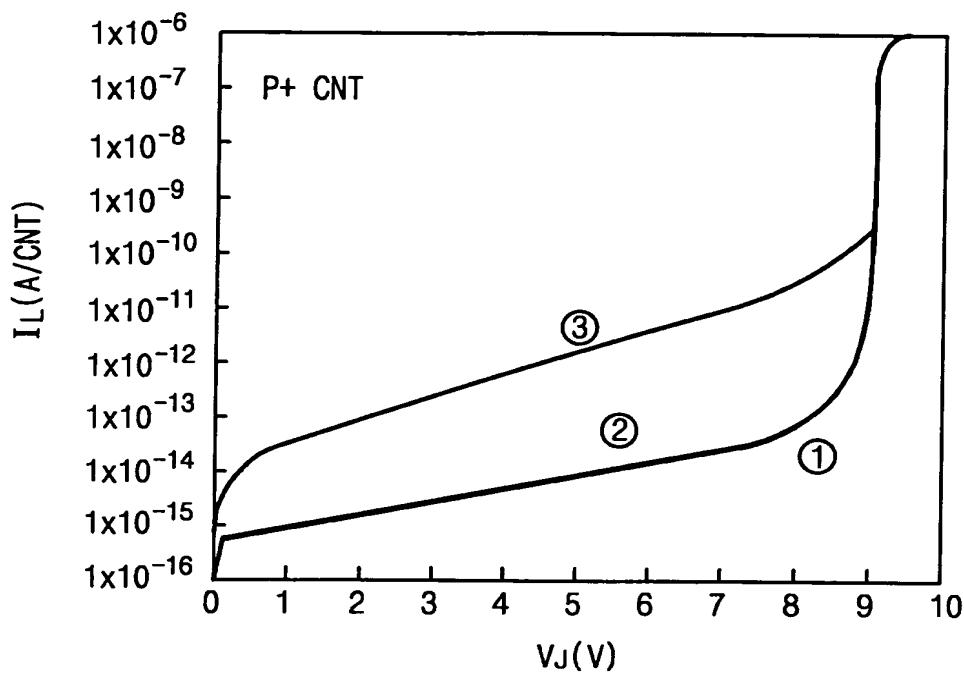
【도 8b】



【도 9】



【도 10】



【도 11】

